

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-045067

(43)Date of publication of application : 24.04.1981

(51)Int.Cl.

H01L 27/06

H01L 29/78

H01L 29/90

(21)Application number : 54-120646

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.09.1979

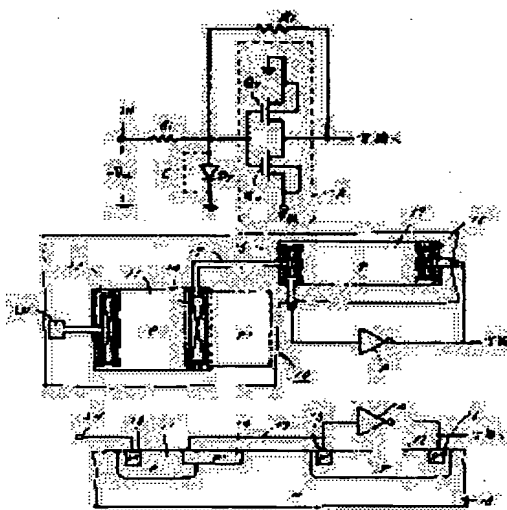
(72)Inventor : OBA KENICHI

(54) INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To eliminate variations in the amplification degree of an amplifier by composing a feedback resistor and an input resistor in a well shape respectively when an IC is made by a C-MOS type inversion amplifier and a diode for gate protection wherein a shallow region for a diode is provided by closing to a well region for the input resistor.

CONSTITUTION: A terminal applying an input signal IN is connected to a C-MOS type inversion amplifier A composing of an N channel type FET element QP and a P channel type FET element QN through an input resistor Ri and the output is sent to the next stage circuit. The output terminal of the resistor Ri is also connected to a diode DP for gate protection and a feedback resistor RF is connected across the input side and the output side of the amplifier A in parallel. In this composition, the input resistor Ri is composed of a P type well region 11 provided on an N type semiconductor substrate 10 and a P+ type region 14 for the diode is provided by closing to the P type well region 11. Similarly, the feedback resistor RF is also composed of a P type well region 12 provided in the substrate 10. And the variations in the amplification degree of an amplifier decided by the ratio of RF/Ri will be reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑫ 公開特許公報 (A)

昭56—45067

⑥ Int. Cl.³
H 01 L 27/06
29/78
29/90

識別記号

庁内整理番号
6426—5F
6603—5F

⑬ 公開 昭和56年(1981)4月24日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 集積回路装置

⑯ 特 願 昭54—120646
⑰ 出 願 昭54(1979)9月21日
⑱ 発 明 者 大場憲一

小平市上水本町1450番地株式会社

社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑳ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 集積回路装置
特許請求の範囲

1. 外部入力端子とCMOS型反転アンプとの間に入力抵抗を接続すると共に、該アンプの出力端と入力端との間に帰還抵抗を接続し、前記帰還抵抗と前記入力抵抗との比で前記アンプの増幅度を決定するようにした集積回路装置において、前記入力抵抗及び前記帰還抵抗をそれぞれ基板と逆導電型のウエル領域で構成すると共に、前記入力抵抗用のウエル領域に電気接続した形で該ウエル領域と同一導電型でそれより浅い不純物ドーパ領域を形成し、この不純物ドーパ領域と基板との間のPN接合をゲート保護ダイオードとして用いるようにしたことを特徴とする集積回路装置。

発明の詳細な説明

本発明は、CMOS型反転アンプをそなえた集積回路装置(IC)に関する。

従来、この種のリニアICでは、CMOS型反転アンプの帰還抵抗をP型ウエル領域で且つ入力

抵抗をP⁺型拡散領域でそれぞれ形成し、このP⁺型拡散領域とN型基板との間のPN接合をゲート保護ダイオードとして用いることが試みられている。

しかしながら、このような従来装置では、帰還抵抗と入力抵抗との比によりアンプの増幅度が決定されるのにそれらの抵抗が別工程で形成されるため増幅度のばらつきが大きい欠点がある。

このような欠点をなくするため、帰還抵抗と入力抵抗を同一工程で形成することも考えられるが、両抵抗を共にP型ウエル領域でそれぞれ形成した場合に入力抵抗用P型ウエル領域と基板との間に形成されるPN接合がゲート保護ダイオードとして用いるには耐圧が高すぎて好ましくないこと、また両抵抗をP⁺型拡散領域でそれぞれ形成した場合には比較的抵抗値の大きい(100~500K Ω)帰還抵抗用P⁺型領域として相当大面積の領域を必要とし、集積度が低下することなど、それぞれ問題がある。

そこで、本発明の目的は、ゲート保護機能及び

(1)

(2)

増幅度を低下させることなくアンプ増幅度のばらつきを低減した新構造増幅回路装置を提供することにある。

本発明による装置は、増速抵抗及び入力抵抗をそれぞれウェル領域で構成すると共に、入力抵抗用ウェル領域に電気接続した形でゲート保護ダイオード形成用の浅い不純物ドーパ領域を設けたことを特徴とするもので、以下、添付図面に示す実施例について詳述する。

第1図は、本発明の一実施例によるリニアICの等価回路図であり、INは入力信号 $-V_{in}$ が印加される外部入力端子、AはNチャンネル型FETQN及びPチャンネル型FBTQPを含むCMOS型反転アンプ、RIは入力端子INとアンプAの入力端との間に接続された入力抵抗、DPはアンプAの入力端と接地点との間に接続されたゲート保護ダイオード、RFはアンプAの入出力端間に接続された増速抵抗である。なお、ダイオードDPの接合容量からなるコンデンサCは入力抵抗RIと共にローパスフィルタを構成している。

(3)

域18、14はP型ウェル領域11に対するオーミックコンタクトを確保するためのものであるが、P⁺型領域14はP型ウェル領域11からみ出して形成されている部分においてN型基板との間にゲート保護ダイオードDPとしてのPN接合を形成するようになっている。また、P⁺型領域15、16はP型ウェル領域18に対するオーミックコンタクトを確保するためのものである。

P⁺型領域18には外部入力端子INに接続された配線層がオーミック接触すると共に、P⁺型領域14には配線層17の一端がオーミック接触しており、P⁺型領域15には配線層17の他端がオーミック接触すると共に、P⁺型領域16にはアンプAの出力端に接続された配線層がオーミック接触している。そして、アンプAの入力端はP⁺型領域16上で配線層17の他端に接触されている。

さて、上記装置の動作において、正常時には、入力信号 $-V_{in}$ を反転増幅した信号がアンプAの出力端に現われる。そして、例えば静電気等によ

(5)

また、アンプAの増幅度は、よく知られているように抵抗比 R_F/R_I によって決まる。

上記図面におけるアンプA部以外の部分の集積化構造は第3図及び第8図に示されており、第3図が平面図、第8図が入力抵抗及び増速抵抗に沿う断面図である。N型シリコンからなる半導体基板10の表面には、NチャンネルFETQNを形成するためのP型ウェル領域を形成すると同時にイオン打込み一熱処理により入力抵抗形成用P型ウェル領域11と増速抵抗形成用P型ウェル領域18とが形成されている。P型ウェル領域11は1~8K Ω 程度の入力抵抗RIを実現するためのものである。あまり細長くないが、P型ウェル領域18は100~500K Ω の増速抵抗RFを実現するため相当細長く形成される。

P型ウェル領域11の一端及び他端部にはP⁺型領域14及び14が、またP型ウェル領域18の一端及び他端部にはP⁺型領域15及び16が、それぞれPチャンネルFBTQPのソース・ドレイン拡散と同時の処理で形成される。ここで、P⁺型領域

(4)

り外部入力端子INに正又は負の過電圧が印加された場合には次のようにしてアンプA内のFETQN、QPのゲート破壊が防止される。すなわち、正の過電圧に対してはダイオードDPが順方向であるためゲート電圧はダイオードの順方向降下極度に抑えられる。また負の過電圧に対してはダイオードDPがブレークダウンし、ゲート電圧はそのブレークダウン電圧極度に抑えられる。従って、正負いずれの過電圧に対してもゲート電圧は低く制限されるので、ゲート破壊は防止される。

以上のように、本発明の装置によれば、入力抵抗RI及び増速抵抗RFがそれぞれP型ウェル領域11及び18で構成されるので、共通工程での製作が可能になり、 R_F/R_I の比で決まるアンプ増幅度のばらつきを大幅に低減できる。その上、P型ウェル領域11に隣接してP⁺型領域14を設けたので、増幅度の低下を招くことなく低抵抗のゲート保護ダイオードDPを実現でき、ゲート破壊を未然に防止することができる。

(6)

図面の簡単な説明

第1図は、本発明の一実施例によるICの等価回路図、第2図は、上記ICの平面配置図、第3図は、上記ICの断面図である。

R_i …入力抵抗、 R_F …帰還抵抗、 A …CMOS型反転アンプ、 D_P …ゲート保護ダイオード、 10 …半導体基板、 11 、 12 …抵抗形成用P型ウェル領域、 14 …ダイオード形成用P⁺型領域。

代理人 弁理士 陣 田 利

